

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S): Tomoyuki FURUHATA

APPLICANT: Seiko Epson Corporation

U.S.S.N.: Not Yet Assigned

ART UNIT: Not Yet Assigned

FILED: HERewith

EXAMINER: Not Yet Assigned

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

CERTIFICATE OF EXPRESS MAILING (Label No.: EV 438989877 US)

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. section 1.10, on March 11, 2004 and is addressed to Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Arlington, VA 22313-1450.

By: Nicole M. McKinnon
Nicole M. McKinnon

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Arlington, VA 22313-1450

TRANSMITTAL OF CERTIFIED COPIES

Sir:

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: JAPAN
Application No.: 2003-070549
Filing Date: 14 March 2003

Respectfully submitted,

Date: March 11, 2004
Customer No.: 21874

John J. Penny, Jr.
John J. Penny, Jr. (Reg. No. 36,984)
EDWARDS & ANGELL, LLP
P.O. Box 55874
Boston, MA 02205
Tel: (617) 517-5549
Fax: (617) 439-4170

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月14日

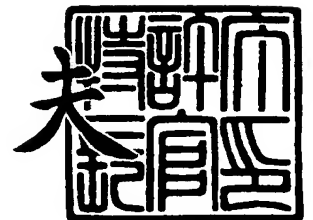
出願番号
Application Number: 特願2003-070549
[ST. 10/C]: [JP2003-070549]

出願人
Applicant(s): セイコーエプソン株式会社

2003年10月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3088671

【書類名】 特許願

【整理番号】 J0098863

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/00

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 古畑 智之

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、
該半導体基板上に設けられたゲート酸化膜と、
前記ゲート酸化膜上に設けられたゲート電極と、
前記半導体基板内の n ウエル領域に形成され、それぞれ P^- のオフセット領域を有する 2 つの P^+ のソース／ドレイン拡散領域とを有する、 P チャネル型 MOS 電界効果トランジスタを含む半導体装置であって、
前記ゲート電極、前記ゲート酸化膜及び前記オフセット領域の少なくとも一つに弗素が含有されていることを特徴とする半導体装置。

【請求項 2】

前記弗素は、弗素単体又は弗化硼素として、前記ゲート電極、前記ゲート酸化膜及び前記オフセット領域の少なくとも一つに含有されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

さらに、窒素が、前記ゲート酸化膜に含有されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

半導体基板上にゲート酸化膜を形成する工程と、
前記ゲート酸化膜上にゲート電極を形成する工程と、
前記半導体基板内に P^- のオフセット領域を形成する工程と、
前記半導体基板内に P^+ のソース／ドレイン拡散領域を形成する工程と、
を有する、 P チャネル型 MOS 電界効果トランジスタを含む半導体装置の製造方法において、

前記ゲート電極を形成する工程、前記オフセット領域を形成する工程、及び前記ソース／ドレイン拡散領域を形成する工程のいずれかの工程後に、弗素を、前記ゲート電極に含有する工程を有するようにしたことを特徴とする半導体装置の



製造方法。

【請求項 5】

前記弗素は、弗素単体又は弗化硼素として、前記ゲート電極に含有されていることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

さらに、窒素を前記ゲート酸化膜に含有させるために、前記ゲート酸化膜を形成する工程において窒素を前記ゲート酸化膜に含有させることによって、又は前記ゲート酸化膜を形成する工程後に窒素を前記ゲート酸化膜に含有させる工程を有することによって、前記窒素を前記ゲート酸化膜に含有させることを特徴とする請求項 4 又は請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

半導体基板上にゲート酸化膜を形成する工程と、
前記ゲート酸化膜上にゲート電極を形成する工程と、
前記半導体基板内にP⁻のオフセット領域を形成する工程と、
前記半導体基板内にP⁺のソース／ドレイン拡散領域を形成する工程と、
を有する、Pチャネル型MOS電界効果トランジスタを含む半導体装置の製造方法において、

前記ゲート酸化膜を形成する工程、前記ゲート電極を形成する工程、前記オフセット領域を形成する工程、及び前記ソース／ドレイン拡散領域を形成する工程のいずれかの工程後に、弗素を、前記ゲート酸化膜に含有する工程を有することを特徴とする半導体装置の製造方法。

【請求項 8】

前記弗素は、弗素単体又は弗化硼素として、前記ゲート酸化膜に含有されていることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

さらに、窒素を前記ゲート酸化膜に含有させるために、前記ゲート酸化膜を形成する工程において窒素を前記ゲート酸化膜に含有させることによって、又は前記ゲート酸化膜を形成する工程後に窒素を前記ゲート酸化膜に含有させる工程を有することによって、前記窒素を前記ゲート酸化膜に含有させることを特徴とす

る請求項7又は請求項8に記載の半導体装置の製造方法。

【請求項10】

半導体基板上にゲート酸化膜を形成する工程と、
前記ゲート酸化膜上にゲート電極を形成する工程と、
前記半導体基板内にP⁻のオフセット領域を形成する工程と、
前記半導体基板内にP⁺のソース／ドレイン拡散領域を形成する工程と、
を有する、Pチャネル型MOSトランジスタを含む半導体装置の製造方法において、
前記オフセット領域を形成する工程後に、弗素を、前記オフセット領域に含有する工程を有することを特徴とする半導体装置の製造方法。

【請求項11】

前記弗素は、弗素単体又は弗化硼素として、前記オフセット領域に含有されていることを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】

さらに、窒素を前記ゲート酸化膜に含有させるために、前記ゲート酸化膜を形成する工程において窒素を前記ゲート酸化膜に含有させることによって、又は前記ゲート酸化膜を形成する工程後に窒素を前記ゲート酸化膜に含有させる工程を有することによって、前記窒素を前記ゲート酸化膜に含有させることを特徴とする請求項10又は請求項11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及び半導体装置の製造方法に関し、特に、Pチャネル型MOS電界効果トランジスタを構成する半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年の電子機器等の低消費電力又は低電圧化の要求により、Pチャネル型MOS電界効果トランジスタ（以下、PMOSFETという）の半導体装置が、種々の電子機器に広く利用されている。高集積化のPMOSFETの構造も種々提案されている（例え

ば、特許文献1参照)。PMOSFETの半導体装置は、Nチャネル型MOS電界効果トランジスタに比べ、電界効果トランジスタをオンさせる閾値電圧を低くできるので、半導体装置の低消費電力を実現できるからである。特に、バッテリーを電源とする電子機器において、いわゆるスタンバイ時における消費電力が大きいと、何度も充電をしなければならないので、そのような電子機器等では、PMOSFETの半導体装置は、広く利用されている。さらに、今後も、半導体装置の微細化及び低消費電力化の要求に沿って、微細なPMOSFETの利用が、期待されている。

【0003】

ところが、微細パターン（例えば、 $0.2\mu\text{m}$ 以下）で形成されたPMOSFETにおいて、ゲート電極に負の電圧を印加し、かつ一定の温度下で定常動作をさせたときに、時間の経過と共に、PMOSFETがオンとなる閾値電圧が高くなっていくという問題が生じる（例えば、非特許文献1参照）。

これは、いわゆるNBTI (Negative Bias Temperature Instability) というトランジスタ特性劣化現象である。半導体製造工程において混入した水素等が乖離して界面準位が変化してしまうことと、加えて、PMOSFETでは、ゲート電極中の硼素 (B) がゲート酸化膜中に侵入することが、これらの特性劣化の原因と考えられている。

【0004】

【特許文献1】

特開平8-255903号公報（第5欄から第7欄、図2）

【0005】

【非特許文献1】

ケイ・イチノセ他著、「 $0.18\mu\text{m}$ 技術で製造した高性能 $0.12\mu\text{m}$ CMOS」、VLSI技術に関する技術ペーパーダイジェスト2001シンポジウム (K. Ichinose, et al., A High Performance $0.12\mu\text{m}$ CMOS with Manufacturable $0.18\mu\text{m}$ Technology, IEEE, 2001 Symposium on VLSI Technology Digest of Technical Paper)

【0006】

【発明が解決しようとする課題】

しかし、PMOSFETにおいては、NBTI以外にも、バイアス温度がかけられることによって生じるバイアス温度不安定性、PBTI (Positive Bias Temperature Instability) の問題も生じている。特に、微細PMOSトランジスタにおいてゲート幅が短くなってくると、これらの劣化特性は顕著となる。

そこで、本発明は、PMOSFETにおいてNBTI等のトランジスタ劣化特性を抑制したPMOSFETの半導体装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板と、該半導体基板上に設けられたゲート酸化膜と、前記ゲート酸化膜上に設けられたゲート電極と、前記半導体基板内のnウェル領域に形成され、それぞれP⁻のオフセット領域を有する2つのP⁺のソース／ドレイン拡散領域とを有する、Pチャネル型MOS電界効果トランジスタを含む半導体装置であって、前記ゲート電極、前記ゲート酸化膜及び前記オフセット領域の少なくとも一つに弗素が含有されている。

このような構成によれば、PMOSFETにおいてNBTI等のトランジスタ劣化特性を抑制したPMOSFETの半導体装置を実現することができる。

【0008】

また、本発明の半導体装置において、前記弗素は、弗素単体又は弗化硼素として、前記ゲート電極、前記ゲート酸化膜及び前記オフセット領域の少なくとも一つに含有されていることが望ましい。

このような構成によれば、前記弗素を、前記ゲート電極、前記ゲート酸化膜及び前記オフセット領域のいずれかに含ませることによって、NBTI等のトランジスタ劣化特性を抑制したPMOSFETの半導体装置を実現することができる。

【0009】

また、本発明の半導体装置において、さらに、窒素が、前記ゲート酸化膜に含有されていることが望ましい。

このような構成によれば、ゲート酸化膜とゲート電極との界面における水素乖離を抑制することができる。

【0010】

本発明半導体装置の製造方法は、半導体基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上にゲート電極を形成する工程と、前記半導体基板内にP⁻のオフセット領域を形成する工程と、前記半導体基板内にP⁺のソース／ドレイン拡散領域を形成する工程と、を有する、Pチャネル型MOS電界効果トランジスタを含む半導体装置の製造方法において、前記ゲート電極を形成する工程、前記オフセット領域を形成する工程、及び前記ソース／ドレイン拡散領域を形成する工程のいずれかの工程後に、弗素を、前記ゲート電極に含有する工程を有する。

【0011】

本発明の半導体装置の製造方法は、半導体基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上にゲート電極を形成する工程と、前記半導体基板内にP⁻のオフセット領域を形成する工程と、前記半導体基板内にP⁺のソース／ドレイン拡散領域を形成する工程と、を有する、Pチャネル型MOS電界効果トランジスタを含む半導体装置の製造方法において、前記ゲート酸化膜を形成する工程、前記ゲート電極を形成する工程、前記オフセット領域を形成する工程、及び前記ソース／ドレイン拡散領域を形成する工程のいずれかの工程後に、弗素を、前記ゲート酸化膜に含有する工程を有する。

【0012】

本発明の半導体装置の製造方法は、半導体基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上にゲート電極を形成する工程と、前記半導体基板内にP⁻のオフセット領域を形成する工程と、前記半導体基板内にP⁺のソース／ドレイン拡散領域を形成する工程と、を有する、Pチャネル型MOSトランジスタを含む半導体装置の製造方法において、前記オフセット領域を形成する工程後に、弗素を、前記オフセット領域に含有する工程を有する。

このような構成によれば、前記ゲート電極、前記ゲート酸化膜及び前記オフセット領域のいずれかに含ませることによって、NBTI等のトランジスタ劣化特性を抑制したPMOSFETの半導体装置を実現することができる。

【0013】

また、本発明の半導体装置において、前記弗素は、弗素単体又は弗化硼素として、前記ゲート電極、前記ゲート酸化膜又は前記オフセット領域に含有されてい

ることが望ましい。

このような構成によれば、前記弗素を、前記ゲート電極、前記ゲート酸化膜又は前記オフセット領域に含ませることによって、NBTI等のトランジスタ劣化特性を抑制したPMOSFETの半導体装置を実現することができる。

【0014】

また、本発明の半導体装置の製造方法において、さらに、窒素を前記ゲート酸化膜に含有させるために、前記ゲート酸化膜を形成する工程において窒素を前記ゲート酸化膜に含有させることによって、又は前記ゲート酸化膜を形成する工程後に窒素を前記ゲート酸化膜に含有させる工程を有することによって、前記窒素を前記ゲート酸化膜に含有させることが望ましい。

このような構成によれば、ゲート酸化膜とゲート電極との界面における水素乖離を抑制することができる。

【0015】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

まず、図1に基づき、本実施の形態に係わるPチャネル型MOS電界効果トランジスタ、すなわちPMOSFETの構成を説明する。図1は、本実施の形態に係わるPチャネルMOSFETの断面図である。

図1において、100は、半導体装置であって、オフセット領域を有するPMOSFETである。101は、p型シリコン半導体基板101であり、103は、p型シリコン半導体基板101上に設けられたnウエル領域である。105は、ゲート酸化膜であり、106は、ゲート酸化膜105上に設けられたゲート電極である。108は、サイドウォール領域である。107aは、P⁻オフセット領域（P⁻は微量のアクセプタを含むことを示す）であり、109aは、P⁺ソース／ドレイン拡散領域（P⁺は多量のアクセプタを含むことを示す）である。111は、チタンシリサイド層であり、112は、保護膜である。

【0016】

本実施の形態は、PMOSFETにおいて、ゲート電極106、ゲート酸化膜105、またはオフセット領域107aに弗素（F）を含有させることによって、含有

された弗素 (F) が、ゲート電極 106、ゲート酸化膜 105、またはオフセット領域 107a 内における Si-H (シリコン-水素) 結合の水素 (H) 乖離反応を抑制し、その結果、NBTI 特性等の改善を図るものである。

【0017】

特に、弗素 (F) は、後述する製造工程において、弗素 (F) 単体で、あるいは弗化硼素 (BF_2) の形態で、ゲート電極 106、ゲート酸化膜 105、またはオフセット領域 107a に含有される。

初めに、図 2 から図 6 を用いて、PMOSFET 100 の製造工程を説明し、その後、弗素 (F) をゲート電極 106、ゲート酸化膜 105、またはオフセット領域 107a に含有させるための方法を説明する。

【0018】

図 2 から図 6 は、本発明の実施の形態に係わる配線領域にチタンシリサイドを用いた PMOSFET 100 の製造工程を示す断面図である。

まず、p 型シリコン半導体基板 101 の表面上に、熱酸化処理により酸化膜 102 (図示せず) が形成される。この酸化膜 102 は、この後のイオン打ち込み工程で打ち込まれるイオンが異常な分布を示す現象を防ぐために必要な酸化膜である。次に、イオン打ち込み法により燐 (P) イオンが注入される。この後に、窒素雰囲気中で熱拡散を行うことによって、PMOSFET を形成するための n ウエル領域 103 が形成される。

【0019】

次に、酸化膜 102 をエッチングし、熱酸化処理により酸化膜 104 (図示せず) を形成する。この酸化膜は、イオン打ち込み工程で打ち込んだイオンが異常な分布を示す現象を防ぐために必要な酸化膜である。

次に、MOS デバイスの閾値電圧を調整するための弗化硼素 (BF_2) イオンの打ち込みを行う。この後、酸化膜 104 をエッチングした後、熱処理によりゲート酸化膜 105 となるゲート酸化膜層 105a を形成する (図 2)。

ここで、窒素は、水素 (H) の乖離反応を抑制する効果があることを利用して、ゲート酸化膜層 105a に窒素を含有させる。具体的には、図 2 に示すゲート酸化膜層 105a を形成するとき、あるいはゲート酸化膜層 105a を形成後に

、ゲート酸化膜 105a に窒素を含有させるための処理を行う。このゲート酸化膜層 105a に窒素を含有させる処理によって、ゲート酸化膜 105 の内部に窒素を含有させる、あるいはゲート酸化膜 105 の表面すなわちゲート酸化膜 105 とゲート電極 106 との界面に、弗素 (F) が多くなるように酸化窒化膜を設けられる。

【0020】

ゲート酸化膜 105a に窒素を含有させる方法は、具体的には、(1) 図2の酸化膜層 105a を形成するときに水蒸気雰囲気中に窒素ガスも一緒に入れた状態で酸化及び窒化処理を行う方法、(2) 図2のゲート酸化膜となるゲート酸化膜層 105a が形成された後に窒素ガスを入れた状態で短時間熱処理 (RTA: Rapid Thermal Anneal) 処理すなわち窒化処理をする方法、及び、(3) 図2のゲート酸化膜となるゲート酸化膜層 105a が形成された後に窒素イオンをイオン打ち込みによる方法、のいずれでもよい。

【0021】

この(2)のゲート酸化膜層 105a が形成された後に窒素ガスを入れた状態で高温熱処理すなわち窒化処理をする方法では、熱処理条件に応じて、ゲート酸化膜層 105a の深さ方向における窒素の含まれる量が変化する。同様に、(3)のゲート酸化膜層 105a が形成された後に窒素のイオン打ち込みによる方法では、加速エネルギー条件に応じて、ゲート酸化膜層 105a の深さ方向における窒素の含まれる量が変化する。

【0022】

このように、ゲート酸化膜 105 に窒素を含有させることによって、Si-H (シリコン-水素) 結合における水素 (H) の乖離反応が抑制される。

次に、CVD法により、燐 (P) ドープポリシリコンを堆積し、ゲート電極 106 となるゲート電極層 106a を形成する。(図3)。

次に、通常のリソグラフィ・エッチング工程により、ゲート電極 106 を形成する。

【0023】

次に、硼素 (B) イオン打ち込み工程により、p-型のLDD (Lightly Doped Dr

ain) 領域 107 を形成する (図 4)。

次に、CVD法と異方性のドライエッチング法とによりサイドウォール領域 108 を形成する。サイドウォール領域 108 の形成は、まず、CVD法により酸化シリコン (SiO_2) を全面に堆積し、次に、異方性のドライエッチのエッチングを行うことによって、サイドウォール領域 108 が形成される。従って、サイドウォール領域 108 直下には、p 型のオフセット領域 107a が形成される。

【0024】

次に、硼素 (B) イオン打ち込み工程により、p⁺型ソース/ドレイン領域 109 を形成する (図 5)。

次に、高融点金属のチタン膜をスパッタ法を用いて形成する。続けて、熱処理を行うと、チタンと下地のポリシリコンとが反応し、チタンシリサイド層 111 が形成される。そして、チタンの選択エッチングを行うと、酸化膜上でのチタンは除去される (図 6)。

【0025】

次に、アニール処理を行い、不純物を活性化させ、PMOSFET 100 が形成される。最後に、保護膜又は層間絶縁膜として、窒化シリコン (Si_3N_4) の膜 112 を全面に亘って堆積させる (図 1)。なお、膜 112 としては、PMOSFET 100 の上に、まず酸化シリコン (SiO_2) の層を形成し、その上に積層するように、窒化シリコンの膜を形成するようにしてもよい。

【0026】

次に、以上のような製造工程において、ゲート電極 106、ゲート酸化膜 105、またはオフセット領域 107a に弗素 (F) を含有させる方法について説明する。

(1) ゲート電極に弗素 (F) を含有させる方法

CVD法により、ゲート酸化膜となる酸化膜 105a 上に、ゲート電極となる燐 (P) ドープポリシリコン層 106a を堆積した状態 (図 3) とした後に、図 7 に示すように、弗素 (F) がゲート電極に含有されるように、弗素 (F) 単体又は弗化硼素 (BF_2) のイオン打ち込みを行う。その後、通常の写真リソグラフィ・エッチング工程を行えば、ゲート電極 106 にのみ弗素 (F) を含有させること

ができる。このとき、イオン打ち込みにおける加速エネルギーを制御することによって、ゲート電極 106 のみに弗素 (F) を含有させたり、ゲート電極 106 だけでなく、ゲート電極 106 とゲート酸化膜 105 との界面、あるいはゲート酸化膜 105 と n ウエル領域 103 との界面まで弗素 (F) を含有させることができる。

【0027】

(2) ゲート酸化膜に弗素 (F) を含有させる方法

熱処理によりゲート酸化膜 105 a を形成した状態 (図 2) とした後に、図 8 に示すように、弗素 (F) がゲート酸化膜に含有されるように、弗素 (F) 単体又は弗化硼素 (BF_2) のイオン打ち込み工程を行う。このとき、イオン打ち込みにおける加速エネルギーを制御することによって、ゲート酸化膜 105 a のみに弗素 (F) を含有させることができる。特に、イオン打ち込みにおける加速エネルギーを制御することによって、ゲート酸化膜 105 a の表面に重点的に、あるいはゲート酸化膜 105 a と n ウエル領域 103 との界面に重点的に、弗素 (F) を含有させることができる。すなわち、弗素 (F) がゲート酸化膜 105 a に含有される場合、弗素 (F) は、少なくともゲート電極 106 とゲート酸化膜 105 a との界面、又は少なくとも半導体基板の n ウエル領域 103 とゲート酸化膜 105 a との界面に多く含有されるようにする。

【0028】

(3) オフセット領域 107 a に弗素 (F) を含有させる方法

オフセット領域を形成した状態 (図 4) とした後に、図 9 に示すように、弗素 (F) が LDD 領域 107 に含有されるように、弗素 (F) 単体又は弗化硼素 (BF_2) のイオン打ち込み工程を行う。

オフセット領域 107 a に弗素 (F) を含有させるために、弗素 (F) 又は弗化硼素 (BF_2) のイオン打ち込みをすると、ゲート電極 106 にも、さらに、イオン打ち込み時の加速エネルギーによっては、ゲート酸化膜 105 にも入り込むことになる。すなわち、イオン打ち込み時の加速エネルギーによって、弗素 (F) が入り込む場所が、ゲート電極 106 の内部のみか、ゲート電極 106 とゲート酸化膜 105 との界面までか、ゲート酸化膜 105 の内部までか、又はゲート酸

化膜 105 と n ウェル領域 103 との界面までか、が決定される。

【0029】

しかし、ゲート電極 106 とゲート酸化膜 105 に弗素 (F) を含有させることによって、ゲート電極 106 とゲート酸化膜 105 内に含有された弗素 (F) が、Si-H (シリコン-水素) 結合の水素 (H) 乖離反応を抑制することになるので、NBTI 等のトランジスタ劣化特性のためには好ましい。

なお、LDD 領域 107 を形成するための硼素 (B) イオン打ち込み工程後に、弗素 (F) 又は弗化硼素 (BF_2) のイオン打ち込み工程を設ける例で説明したが、弗素 (F) 又は弗化硼素 (BF_2) のイオン打ち込み工程後に、硼素 (B) イオン打ち込み工程を行うようにしてもよい。

【0030】

(4) ソース/ドレイン拡散領域 109 に弗素 (F) を含有させる方法

ソース/ドレイン拡散領域 109 a を形成した状態 (図 5) になった後に、図 10 に示すように、弗素 (F) がゲート電極 106、ゲート酸化膜 105 及びソース/ドレイン拡散領域 109 a に含有されるように、弗素 (F) 単体又は弗化硼素 (BF_2) のイオン打ち込み工程を行う。このとき、イオン打ち込みで弗素 (F) 又は弗化硼素 (BF_2) は、サイドウォール 108 があるため、サイドウォール 108 直下のオフセット領域 107 a には打ち込まれない。

【0031】

ソース/ドレイン拡散領域 109 a に弗素 (F) を含有させるために、弗素 (F) 又は弗化硼素 (BF_2) のイオン打ち込みをすると、ゲート電極 106 にも、さらに、イオン打ち込み時の加速エネルギーによっては、ゲート酸化膜 105 にも入り込むことになる。しかし、ゲート電極 106 とゲート酸化膜 105 に弗素 (F) を含有させることによって、ゲート電極 106 とゲート酸化膜 105 内に含有された弗素 (F) が、Si-H (シリコン-水素) 結合の水素 (H) 乖離反応を抑制することになるので、NBTI 等のトランジスタ劣化特性のためには好ましい。

【0032】

ところが、トランジスタ劣化特性改善のために、弗化硼素 (BF_2) をソース/ドレイン領域 109 a にイオン打ち込みする場合、ソース/ドレイン拡散領域 1

09 a 内に結晶欠陥が生じ易くなり、その結果、PMOSFETがオフのときの電流、すなわちリーク電流が大きくなる虞がある。

そこで、NBTI特性等の改善のために、ソース／ドレイン拡散領域109 aに、弗化硼素 (BF_2) をイオン打ち込みする場合、半導体基板の主面からの距離において、弗化硼素 (BF_2) がイオン打ち込みされる位置までの主面からの距離が、硼素 (B) がイオン打ち込みされる位置までの主面からの距離よりも短くなるように、弗化硼素 (BF_2) のイオン打ち込みの加速エネルギーを制御する。

【0033】

すなわち、ソース／ドレイン拡散領域109 aを形成する工程において、硼素 (B) と弗化硼素 (BF_2) をイオン打ち込みするとき、弗化硼素 (BF_2) をイオン打ち込みするときの加速エネルギーを、硼素 (B) をイオン打ち込みするときの加速エネルギーよりも小さくする。例えば、硼素 (B) イオンのイオン打ち込み条件を、加速エネルギーが8KeV (キロエレクトロンボルト) で、打ち込み量が $1.5 \times 10^{15} / \text{cm}^2$ (すなわち $1.5 \times 10^{15} / \text{cm}^2$) で行い、弗化硼素 (BF_2) イオンのイオン打ち込み条件を、加速エネルギーが25KeVで、打ち込み量が $5 \times 10^{14} / \text{cm}^2$ (すなわち $5 \times 10^{14} / \text{cm}^2$) で行う。

なお、この場合、弗化硼素 (BF_2) のイオン打ち込みは、ソース／ドレイン拡散領域109 aを形成するための硼素 (B) のイオン打ち込み後に行うのではなく、ソース／ドレイン拡散領域109 aを形成するための硼素 (B) のイオン打ち込み前に行ってもよい。

【0034】

図11は、弗化硼素 (BF_2) と硼素 (B) がそれぞれ別々にイオン打ち込みされたときに、半導体基板内において、弗化硼素 (BF_2) の濃度が硼素 (B) の濃度よりも高い領域R1と、硼素 (B) の濃度が燐 (P) の濃度よりも高い領域R2とを示すためのPチャネルMOSFETの部分断面図である。図12は、弗化硼素 (BF_2) と硼素 (B) がそれぞれ別々にイオン打ち込みされたときに、半導体基板内において、半導体基板の主面からの深さに対する、弗化硼素 (BF_2) と硼素 (B) の濃度を説明するための図である。

【0035】

図12において、C1は、弗化硼素 (BF_2) の濃度曲線を、C2は、硼素 (B) の濃度曲線を、THは、n ウェル領域 103 内の磷 (P) 濃度を示す。従って、図11及び図12に示すように、上述した条件で弗化硼素 (BF_2) と硼素 (B) をそれぞれ別々にイオン打ち込みすると、半導体基板の主面から距離 x_2 のところまでは、弗化硼素 (BF_2) の濃度が硼素 (B) の濃度よりも高く、半導体基板の主面から距離 x_2 から x_1 のところまでは、硼素 (B) の濃度が磷 (P) の濃度よりも高い。

【0036】

図12に示すように、弗化硼素 (BF_2) と硼素 (B) の濃度は分布を有するので、ソース/ドレイン拡散領域 109a 内において、弗化硼素 (BF_2) が主として含まれる領域（すなわち弗化硼素 (BF_2) の濃度が硼素 (B) の濃度よりも高い領域）は、硼素 (B) が主として含まれる領域（すなわち硼素 (B) の濃度が弗化硼素 (BF_2) の濃度よりも高い領域）の内側に存在するということになる。

【0037】

その結果、弗化硼素 (BF_2) のイオン打ち込みによって、半導体基板内に結晶欠陥が生じたとしても、結晶欠陥のある場所は、ソース/ドレイン拡散領域 109a を形成するためにイオン打ち込みされた硼素 (B) を含むソース/ドレイン拡散領域 109a と n ウェル領域 103 とのPN接合面から離れることになるので、リーク電流が生じ難くなる。すなわち、結晶欠陥のある領域が、そのPN接合面によって囲まれるようになるので、NBTI等の特性劣化も改善し、かつリーク電流を低減することができる。

なお、サイドウォール 108 を形成した後、弗化硼素 (BF_2) を浅くイオン打ち込みした後に、B を深くイオン打ち込みしてもよいし、あるいはB を深くイオン打ち込みした後に、弗化硼素 (BF_2) を浅くイオン打ち込みしてもよい。

【0038】

図13は、125度（摂氏）において加速試験によるシミュレーションを行ったときの、時間経過に伴う閾値電圧の変化を示す図である。

図13は、ゲート幅が $10\mu\text{m}$ 、ゲート長が $0.18\mu\text{m}$ で、動作電圧が 1.8V のPMOSFETの場合のシミュレーション結果を示す。

図 1 3 において、縦軸は、PMOSFETがオンするための閾値電圧の変化量（単位はミリボルト）であり、横軸は経過時間（単位は、時間（hour）である。図 1 3 において、C3で示す点線内の点は従来のPMOSFETにおける時間経過に対する閾値電圧の変化量の値であり、黒丸（●）と白丸（○）は、本実施の形態に係るPMOSFETにおける時間経過に対する閾値電圧の変化量の値である。従って、従来は、約 1 0 年で閾値電圧の変化量が 7 0 mVに達していたのに対し、本実施の形態では、約 1 0 年で閾値電圧の変化量は 3 0 mVまでとなっている。よって、NBTI特性の劣化を抑制することができていることがわかる。

【 0 0 3 9 】

さらに、サイドウォール 1 0 8 を形成した後、弗化硼素（ BF_2 ）を浅くイオン打ち込みし、かつ、Bを深くイオン打ち込むようにすると、リーク電流の低減を図ることもできる。

従って、本実施の形態によれば、PMOSFETにおいて、NBTI特性等の劣化を抑制することができる。

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【図面の簡単な説明】

【図 1】 本発明の実施の形態に係わる P チャネル MOSFET の断面図。

【図 2】 本実施の形態に係わる MOSFET の製造工程の断面図。

【図 3】 図 2 に続く本実施の形態に係わる MOSFET の製造工程の断面図。

【図 4】 図 3 に続く本実施の形態に係わる MOSFET の製造工程の断面図。

【図 5】 図 4 に続く本実施の形態に係わる MOSFET の製造工程の断面図。

【図 6】 図 5 に続く本実施の形態に係わる MOSFET の製造工程の断面図。

【図 7】 ゲート電極に弗素を含有させる工程を説明するための図。

【図 8】 ゲート酸化膜に弗素を含有させる工程を説明するための図。

【図 9】 LDD 領域に弗素を含有させる工程を説明するための図。

【図 1 0】 ソース／ドレイン拡散領域に弗素を含有させる工程を説明する図。

【図 1 1】 領域 R1 と 領域 R2 とを示すための P チャネル MOSFET の部分断面図。

【図 1 2】 半導体基板の深さに対する、弗化硼素と硼素の濃度を示す図。

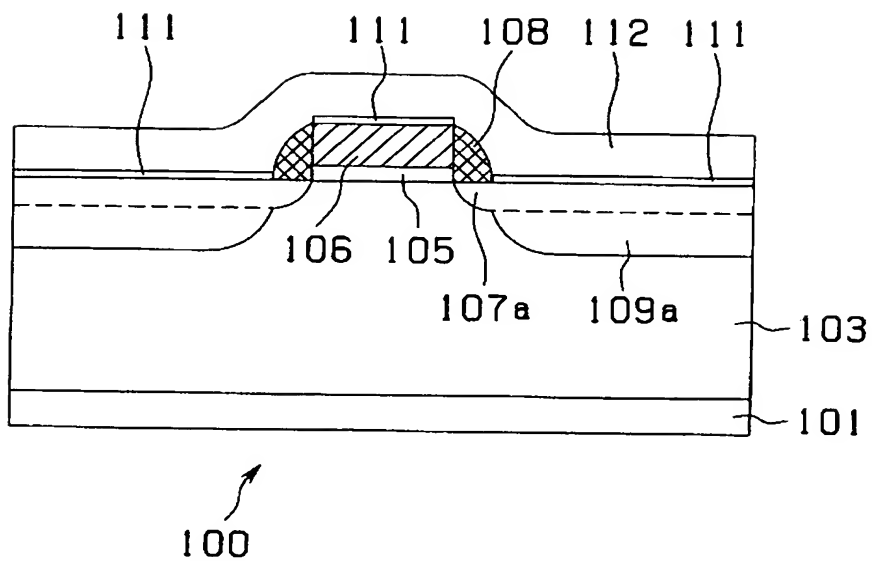
【図 1 3】 シミュレーションを行ったときの閾値電圧の変化量を示す図。

【符号の説明】

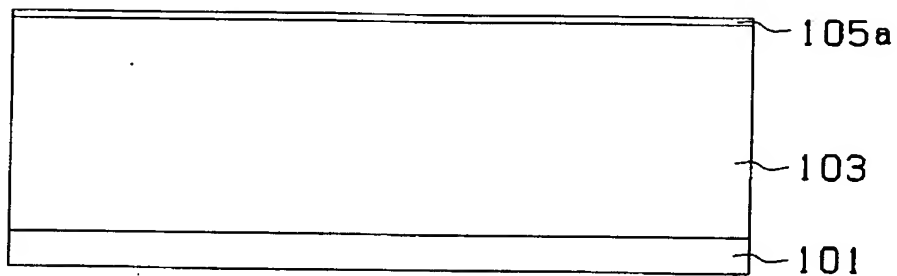
1 0 1 p 型シリコン半導体基板、1 0 3 n ウエル領域、1 0 5 ゲート酸化
膜、1 0 6 ゲート電極、1 0 7 LDD 領域

【書類名】 図面

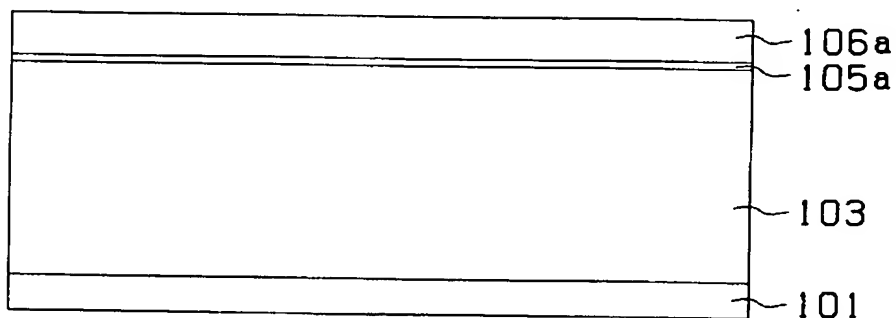
【図 1】



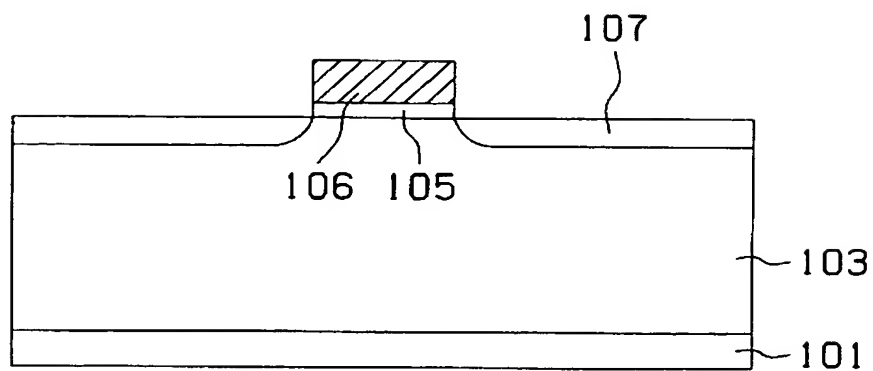
【図 2】



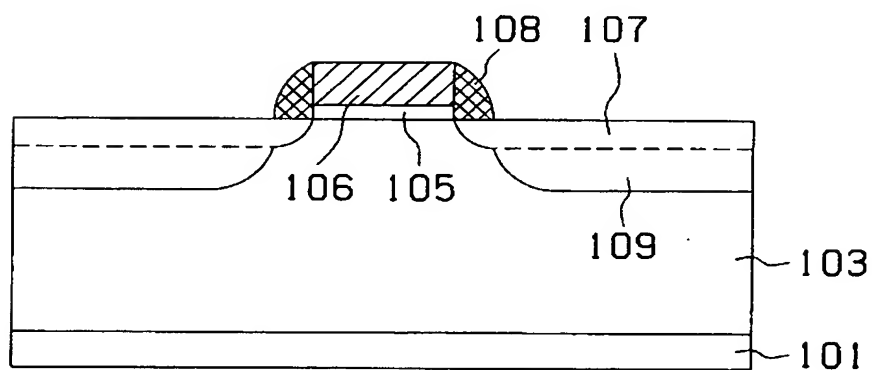
【図 3】



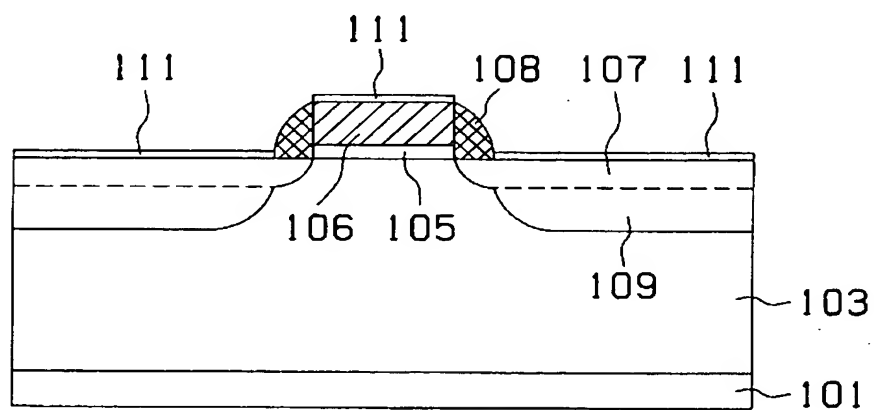
【図 4】



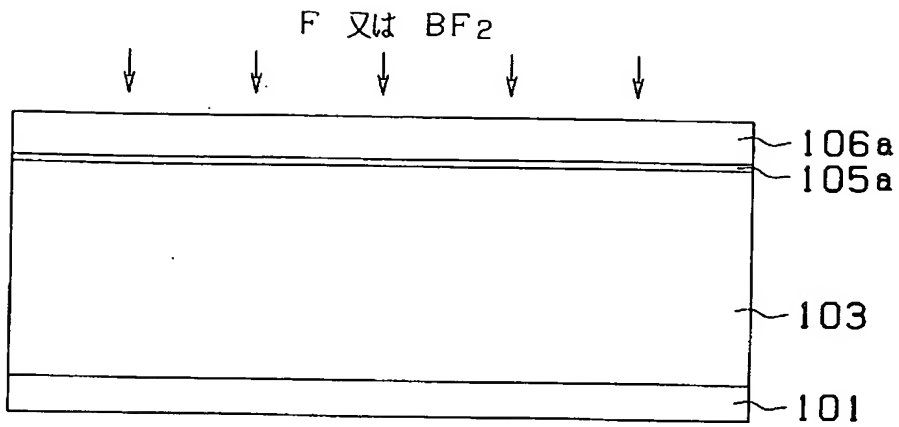
【図 5】



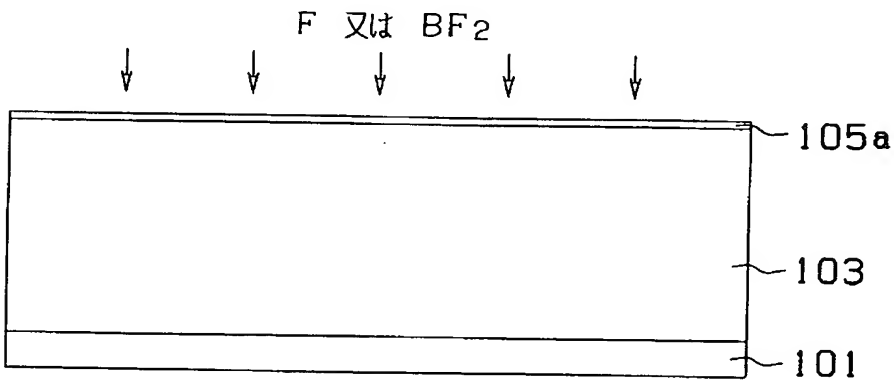
【図 6】



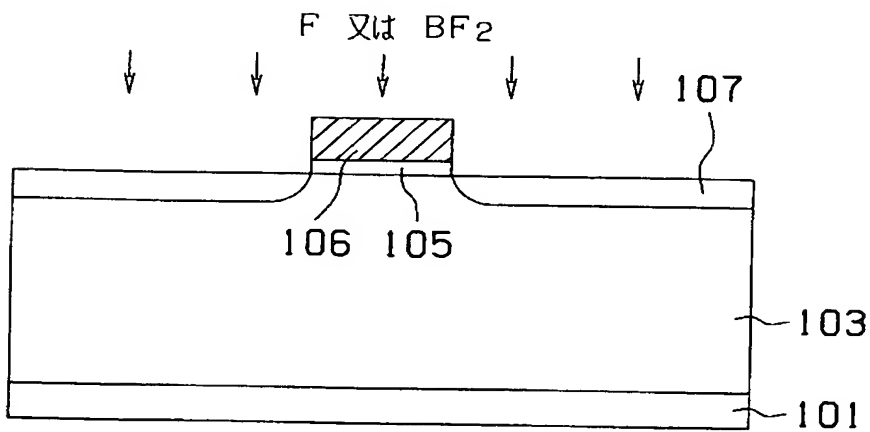
【図 7】



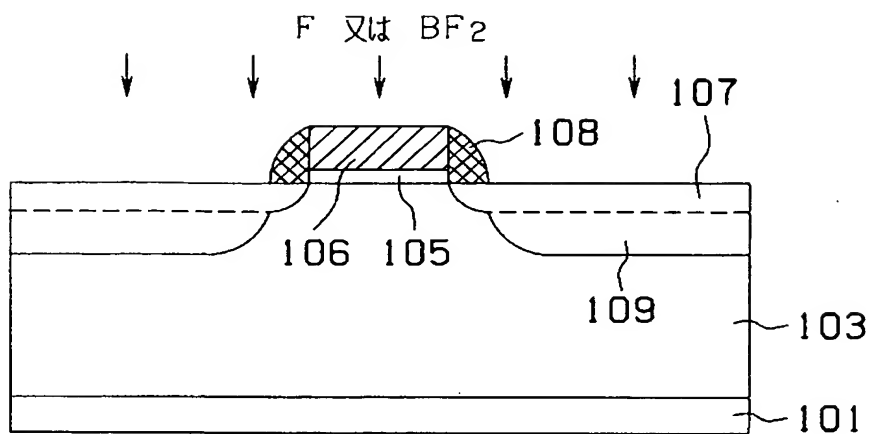
【図 8】



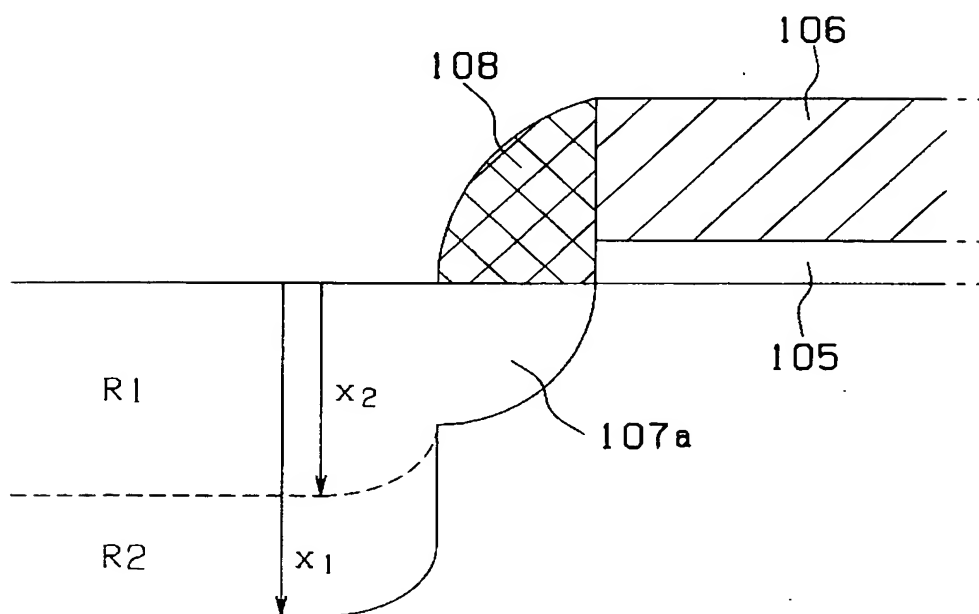
【図 9】



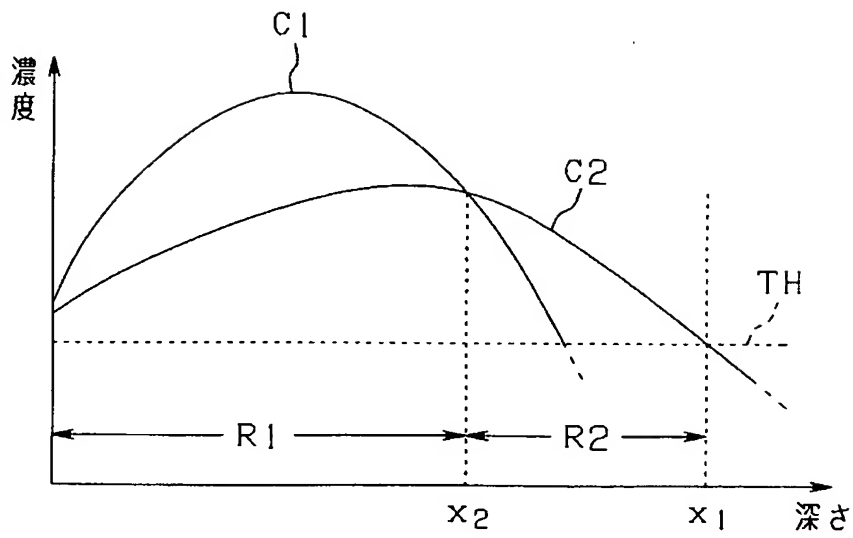
【図 10】



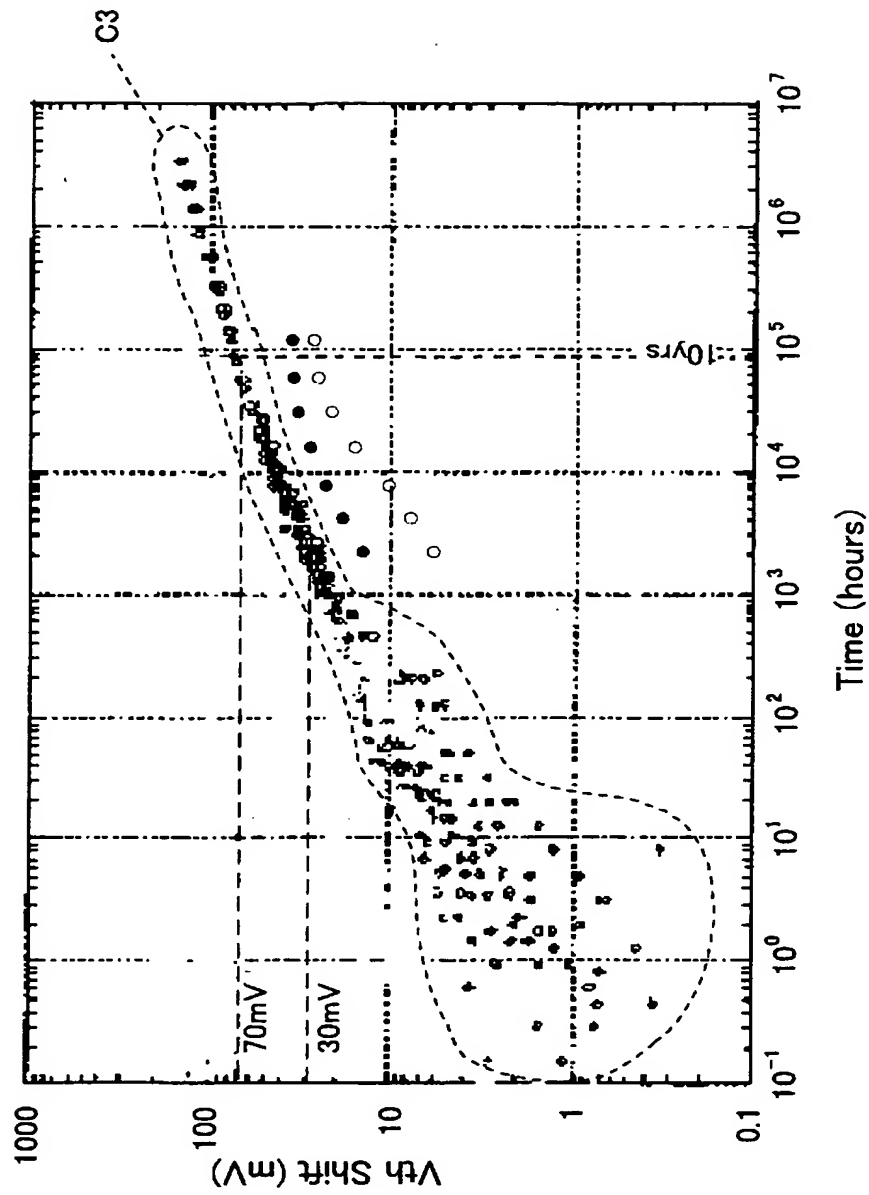
【図 1 1】



【図 12】



【図 13】



【書類名】 要約書**【要約】**

【課題】 NBTI特性等の劣化を抑制するPMOSFETを実現する。

【解決手段】 半導体装置は、半導体基板と、半導体基板上に設けられたゲート酸化膜と、ゲート酸化膜上に設けられたゲート電極と、半導体基板内の n ウエル領域に形成され、それぞれP⁻のオフセット領域を有する 2 つのP⁺のソース／ドレイン拡散領域とを有する、Pチャネル型MOS電界効果トランジスタである。ゲート電極、ゲート酸化膜及びオフセット領域の少なくとも一つに弗素が含有されている。

【選択図】 図 9

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 7 0 5 4 9
受付番号	5 0 3 0 0 4 2 4 7 9 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 1 7 日

< 認定情報・付加情報 >

【提出日】 平成15年 3月14日

次頁無

特願 2 0 0 3 - 0 7 0 5 4 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社